

BEST AVAILABLE COPY

◆Japanese Patent Application Laid-Open No. 3-186890 (1991):

“DISPLAY DRIVING METHOD AND ITS DISPLAY DRIVING CIRCUIT”

The following is a brief description of the invention disclosed in this publication.

[Claim 3] A display driving circuit comprising:

a resistor receiving a pulse width setting signal inputted time divisionally from a display data terminal;

a pulse generating circuit forming a pulse signal having a pulse width on the basis of said pulse width setting signal; and

a driving circuit forming a display driving signal provided with a display device on the basis of said pulse signal and a display data formed in said pulse generating circuit.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平3-186890

⑫ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)8月14日

G 09 G 3/20
G 02 F 1/133
G 09 G 3/36

575

8621-5C
7709-2H
8621-5C

審査請求 未請求 請求項の数 4 (全8頁)

⑭ 発明の名称 表示駆動方式とその表示駆動回路

⑮ 特 願 平1-327635

⑯ 出 願 平1(1989)12月18日

⑰ 発 明 者 荒 川 雅 彦 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内
⑰ 発 明 者 恒 川 悟 東京都小平市上水本町5丁目20番1号 株式会社株日立製作所武蔵工場内
⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑰ 出 願 人 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地
⑰ 代 理 人 弁理士 徳若 光政

明 細 書

1. 発明の名称

表示駆動方式とその表示駆動回路

2. 特許請求の範囲

1. パルス幅に応じてコントラストが変化される表示装置に対して、表示データ端子を利用して表示データと時分割的に上記パルス幅を指定する情報を入力することを特徴とする表示駆動方式。

2. 上記パルス幅を指定する情報は、表示装置のブランキング期間を利用して入力されるものであることを特徴とする表示駆動方式。

3. 表示データ端子から時分割的に入力されたパルス幅設定信号を取り込むレジスタと、このレジスタに取り込まれた設定信号に従ったパルス幅のパルス信号を形成するパルス発生回路と、このパルス発生回路により形成されたパルス信号と表示データとから表示装置に供給される表示駆動信号を形成する駆動回路とを備えてなることを特徴とする表示駆動回路。

4. 上記パルス幅設定信号に従って形成されるパルス幅のパルス信号は、階調表示を行う表示装置の中間的な明るさを指定するものであることを特徴とする特許請求の範囲第3項記載の表示駆動回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、表示駆動方式とその表示駆動回路に関し、例えば階調表示を行う単純マトリックス構成の液晶表示装置用の信号線駆動回路に利用して有効な技術に関するものである。

(従来の技術)

液晶表示装置の階調表示化が注目されている。このような液晶表示装置の階調表示方式の1つとして、表示データに対応したパルス幅情報を外部端子から設定するものがある。このような階調表示方式の例として株式会社東芝から販売されている「階調ドライバLSI T9831」がある。

(発明が解決しようとする課題)

上記の方式では、あらかじめ設定されている階

調データとパルス幅のテーブルを外部端子により設定して選択する。このため、端子数により設定に制限が生じるという問題がある。また、液晶駆動用のLSIでは、外部端子の大半が液晶駆動用に用いられる。このため、上記のように階調表示用に制御端子を用いると、その分液晶駆動用の端子数が減ることになる。すなわち、液晶表示パネルは、高画質とするために画素数の高密度多画素化が進められている。しかし、このような多画素化にすると、それに対応して駆動用のLSIの数が増加するという問題をかかえている。それ故、駆動用のLSIにあっては、いかに多くの駆動信号を出力することができるかが重要な課題になっている。

この発明の目的は、外部端子数を増加させることなく、簡単な構成により表示コントラストの設定を可能にした表示駆動方式とその表示駆動回路を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明

らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち代表的なものその概要を簡単に説明すれば、下記の通りである。すなわち、パルス幅に応じてコントラストが変化する表示装置に対して、表示データ端子を利用して表示データと時分割的に上記パルス幅を指定する情報を入力する。

〔作用〕

上記した手段によれば、外部端子数を増加させることなく、パルス幅を任意に設定することができる。

〔実施例〕

第1図には、この発明が適用された液晶表示装置の一実施例のブロック図が示されている。

液晶表示パネルLCDは、走査線電極（共通電極）が横方向に延長するよう配置され、信号線電極（画素電極）が縦方向に延長するよう配置されてなる単純マトリックス構成とされる。

上記液晶表示パネルLCDは、上記走査線電極

3

がM本からなり、それに対応して走査線駆動回路LDVが設けられる。走査線駆動回路LDVは、M本の走査線電極を1フレームの期間に順次択一的に選択する。

上記液晶表示パネルLCDは、上記信号線電極が $N \times 3$ 本からなり、それに対応して信号線駆動回路DDV1ないしDDV3が設けられる。1つの信号線駆動回路DDV1は、画素データを受けてN本分の信号線駆動信号を形成する。他の信号線駆動回路DDV2、DDV3においても、上記同様にN本分ずつの信号駆動信号を形成する。このように3個の信号線駆動回路DDV1ないしDDV3を並列構成とすることにより、上記 $N \times 3$ 本からなる信号線電極を持つ液晶表示パネルLCDを駆動することができる。

この実施例では、特に制限されないが、各画素は、明／暗の2値表示ではなく、明／暗を含む4値からなる階調表示機能を持つようにされる。上記4値の階調表示のうち、明と暗の2値は固定的とされ、残り2つの階調表示のコントラスト（明

5

さ）を外部から調整可能にする。

この実施例では、このような階調表示におけるコントラストの設定のために従来技術のように特別の外部端子を設けるのではなく、画素データDATAを入力する外部端子を利用する。すなわち、画素データDATAは、クロックパルスCL2に同期して各信号線駆動回路DDV1ないしDDV3に順次取り込まれた後、クロックパルスCL1に同期して出力される。特に制限されないが、上記画素データDATAは、8ビットからなり、上記のような4値の階調表示のために各画素当たり2ビットの画素データが割り当てられる。それ故、1クロック周期の画素データDATAの取り込みにより、4画素分の画素データが入力される。この場合、上記のように3個からなる信号線駆動回路を用いており、上記画素データDATAが供給される信号線は、上記3つの信号線駆動回路DDV1ないしDDV3のデータ端子にバラレルに接続される。したがって、各信号線駆動回路DDV1ないしDDV3において順次画素データDAT

6

Aを取り込むようにするため、チップイネーブル信号 \overline{E} の受け渡しを行っている。すなわち、左端の信号線駆動回路DDV1のチップイネーブル端子 \overline{E} は、回路の接地電位が定常的に供給されることによって、常に選択状態に置かれる。信号線駆動回路DDV1は、自己に割り当てられた画素データの取り込みが終了すると、キャリア信号 \overline{CAR} を出力する。この信号 \overline{CAR} は、次の信号線駆動回路DDV2のチップイネーブル端子 \overline{E} に入力される。これにより、次のタイミングでは信号線駆動回路DDV2において画素データDATAの取り込みが行われる。信号線駆動回路DDV2は、上記同様に自己に割り当てられた画素データの取り込みが終了すると、キャリア信号 \overline{CAR} を出力する。この信号 \overline{CAR} は、次の信号線駆動回路DDV3のチップイネーブル端子 \overline{E} に入力される。これにより、次のタイミングでは信号線駆動回路DDV3において画素データDATAの取り込みが行われる。そして、上記同様に信号線駆動回路DDV3は、上記同様に自己に割り当てられた画

素データの取り込みが終了するとキャリア信号 \overline{CAR} を出力する。この実施例では、上記のように最後に画素データの取り込みを行う信号線駆動回路におけるキャリア信号 \overline{CAR} を、表示データのコントラスト設定信号の区別を行うタイミング信号に利用する。すなわち、この信号 \overline{CAR} は、全ての信号線駆動回路DDV1ないしDDV3に設けられた端子 \overline{E} に入力される。この端子 \overline{E} がロウレベルにされたとき、画素データDATAが入力されるデータ端子を利用し、階調表示のためのパルス幅設定情報を入力するようにするものである。

第2図は、上記パルス幅設定情報の入力動作の一例を示すタイミング図である。

すなわち、上記のように端子 \overline{E} がハイレベルの期間では、信号線駆動回路DDV1ないしDDV3のうち、いずれかに画素データDATAを入力する期間である。画素データDATAのうち、最終データが入力されると、それに応じて信号線駆動回路DDV3のキャリア信号 \overline{CAR} がハイレ

7

ベルからロウレベルに変化する。それ故、次のタイミングにおいて、クロックパルス $CL2$ に同期して入力されるデータは画素データではなく、階調表示"0"（暗）ないし階調"3"（明）のうちの中間明度を示す階調"1"と階調"2"を指定するパルス幅情報が時系列的に入力される。

ここで、特に制限されないが、階調"1"と階調"2"にそれぞれ対して設けられるパルス幅情報AとBは、奇数番号が割り当てられた信号線に対応したパルス幅のスタートポイントとエンドポイントを示し、パルス幅情報CとDは、偶数番号が割り当てられた信号線に対応したパルス幅のスタートポイントとエンドポイントを示している。このようにスタートポイント（立ち上がり）とエンドポイント（立ち下がり）との組み合わせにより、任意のパルス幅を設定できるようにしている。これらのパルス設定情報は、レジスタに取り込まれるものである。

この実施例では、信号線を奇数と偶数に分けて、それぞれに独自に同じ階調"1"又は"2"でも、

8

その明度を独自に設定できるようにしている。これは、液晶表示パネルLCDにおける信号線電極における実効電圧のパターン依存性を補正するためのものである。上記のような信号線電極における実効電圧のパターン依存性が問題ない場合には、上記パルス幅設定情報は、そのラインに対して同じ階調"1"又は"2"は同じパルス幅にするものであってもよい。

このように画素データDATAが入力されるデータ端子からパルス幅設定情報を入力するという構成を採ることにより、端子数を増加させることなく、中間階調のコントラストを設定することができる。

第3図には、上記信号線駆動回路の一実施例のブロック図が示されている。

上記画素データDATAが入力されるデータ端子から入力されたパルス幅設定情報A（C）は、スタートポイントレジスタSPRに取り込まれ、パルス幅設定情報B（D）はエンドポイントレジスタEPRに取り込まれる。

9

10

カウンタ回路COUNTは、これらの情報AとBにより、クロックパルスCL2の計数動作が制御されることによって、クロックパルスCL2の1周期を単位パルス幅とするパルス幅情報を出力する。パルス発生回路PGは、上記カウンタ回路の計数出力と上記パルス幅設定情報AとBからそれぞれの階調"1"と階調"2"に対応したパルス幅及び階調"3"に対応した固定的に設定されるパルス幅のパルス信号を発生させる。

ラインメモリLMには、1表示期間において次に表示すべき走査ラインの画素データがシリアルに入力され、それを各信号線に対応して画素データとしてパラレルに出力する。なお、上記のように画素データが8ビットからなり、4段階の階調表示を行うときには、1画素当たり2ビットのデータとなるから4画素分のデータがシリアルにされるものである。

上記各信号線電極に対応した画素データにより、マルチプレクサ等からなるパルス幅選択回路SELがスイッチ制御され、上記画素データに対応し

たパルス幅を持つパルス信号が選ばれて、駆動回路DRVに伝えられる。駆動回路DRVは、それを増幅して各液晶表示装置の信号線電極にパラレルに出力させるものである。

第5図には、上記表示出力に基づいて形成される多値(1/5バイアス)駆動信号の一例を示す波形図が示されている。

同図では、1本の走査線電極の駆動信号COMと、階調"0"の非選択(暗)の信号線電極の駆動信号SEG1及び選択(明)の信号線電極の駆動信号SEG2の例が示されている。この場合、選択(明)の信号線電極の駆動信号SEG2は、実線で示した明(階調"3")の他、同図に点線で示したように2つのハーフトーン、言い換えるならば、階調"1"と階調"2"の信号の例が描かれている。これら階調"1"と階調"2"及び階調"3"に対応して、パルス幅がW1ないしW3のパルスが形成される。したがって、走査線電極COMと信号線電極SEG2との間に印加される電圧(交流電圧)のうち、ハーフトーン表示の場

1 1

合に、上記駆動信号SEG2におけるパルス幅W1、W2のようにパルスのバックエッジが2V/5分だけ欠けた波形とされる。これにより、実効的な駆動電圧が低下されるため、階調"1"や階調"2"に対応したハーフトーン表示を行なわせることができる。このとき、各走査線電極毎に対応して、前記のようにパルス幅W1及びW2が調整可能になるため、それに対応したコントラストのハーフトーンの表示が可能になる。

なお、特に制限されないが、第3図のカウンタ回路COUNTは、走査線電極における選択レベルV1又はV2の期間内において、クロックパルスCK2の計数動作を行う。それ故、次の走査線電極が選択レベルにされると、それに応じて再び上記同様な計数動作を行うものである。これにより、各走査電極に対応して、上記のようなパルス幅W1、W2を持つパルス信号が形成される。

この実施例のように画素データ列と、ハーフトーンのコントラストが一对一に対応できるから、表示すべき図形の特徴に合わせて、ソフトウェア

1 2

によりハーフトーンを微調整して、その図形を浮き出させるような階調表示が可能になる。また、表示画面を見ながら、キー操作等の入力により、より見易い階調表示に切り換えることが可能になる。

第4図には、この発明に係る信号線駆動回路の他の一実施例のブロック図が示されている。

この実施例では、信号線駆動回路DDV1ないしDDV3は、データ端子から供給される画素データとパルス幅設定情報と、識別信号DT/PSにより区別される。例えば、識別信号DT/PSがハイレベルなら、データDATAは画素データとされ、クロックパルスCL2に同期して入力され、前記のようなラインメモリLMに取り込まれる。識別信号DT/PSがロウレベルなら、データDATAはパルス幅設定情報とされ、クロックパルスCL2に同期して入力され、前記のようなレジスタSPR、EPR等に保持される。信号CL1は、水平同期信号であり、例えば各ライン毎にパルス幅情報を設定するならば、上記レジスタ

1 3

1 4

等のクリアさせるため等に用いられる。

この構成では、少なくとも1画面分の画素データを記憶するフレームメモリ等からの画素データが、表示コントローラにより形成された識別信号DT/PSとともに供給される。この識別信号をマイクロプロセッサ等において監視し、信号DT/PSがロウレベルにされたパルス幅設定期間になると、上記パルス幅情報がマイクロプロセッサ等から入力される。あるいは、フレームメモリにおいて、画素データとともに各ライン毎にパルス幅設定情報を記憶させておき、表示装置の表示タイミングに同期して上記表示制御装置により画素データとパルス幅設定情報を読み出して、上記信号線駆動回路DDVのラインメモリLMとスタートポイントレジスタSPR及びエンドポイントレジスタEPRにそれぞれ取り込むようにするものであってもよい。

第1図に示した構成では、上記端子Eのロウレベルをマイクロプロセッサや表示コントローラが監視し、そのロウレベルに同期して前記第2図

の波形図のようにパルス幅設定情報AないしDを時系列的に発生させるようにすればよい。

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1)パルス幅に応じてコントラストが変化される表示装置に対して、表示データ端子を利用して表示データと時分的に上記パルス幅を指定する情報を入力する。この構成においては、外部端子数を増加させることなく、階調表示のためのパルス幅を任意に設定することができるという効果が得られる。

(2)上記パルス幅を指定する情報は、表示装置のブランキング期間を利用して入力するという構成を採ることにより、格別なタイミング信号を形成することなく、上記時分的なパルス幅設定情報の入力が可能になるという効果が得られる。

(3)上記(1)により、外部端子の大半を信号線駆動用に用いることができる。これにより、1つの表示用の半導体集積回路装置により、より多くの数の信号線を駆動することができるから、高密度多画

15

素化を図った表示パネルの駆動に必要な半導体集積回路装置の数を減らすことができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、液晶表示は階調表示は前記のように4段階の階調の他、画素データを3ビットとして8階調、4ビットとして16階調等のようにより多くの階調表示を行うものであってもよい。これとは逆に、液晶表示は、階調表示を行わないで2値表示を行うものであってもよい。この場合には、明/暗のうちの明の表示を行うパルス幅を変化させてコントラストを変化させることができる。この実施例では、各ライン毎にソフトウェアにより上記ラインの明るさを任意に設定できるから、それを利用してカーソル表示を行ことに利用してもよい。

液晶表示装置を構成するために用いられる信号

17

16

線駆動用のLSIの数は、その液晶表示パネルの信号線の数と、それを駆動する信号線駆動用のLSIの出力端子数から設定されるものであり、液晶表示パネルによっては、1つの信号線駆動用LSIだけで構成される場合もある。

パルス幅設定情報は、前記実施例のように水平ブランキング期間あるいは垂直ブランキング期間を利用するものの他、表示期間中に画素データとともに入力する構成としてもよい。すなわち、特定の複数ビットの画素データの次にパルス幅設定情報を挿入する。この構成では、シリアル入力された画素データをラインメモリ等に対して取り込むシリアル/パラレル変換動作のとき、上記ビット数からパルス幅設定情報を区別してレジスタ等に入力することができる。この構成では、前記実施例のように信号線駆動回路が複数個からなる場合、各信号線駆動回路に対する画素データの入力毎に上記のようなパルス幅設定情報が入力される。また、パルス幅設定情報は、基準となるパルス幅に対して、その増減分を示す情報を入力するもの

18

としてもよい。この構成では、パルス幅設定用のレジスタにデータが入力されないときには、上記基準となるパルス幅に従った中間階調表示等が行われ、上記パルス幅設定情報により設定された微小パルス幅 ΔW が基準パルス W に対して加減算される。このようなパルス幅の増加減少を行う回路としては、例えばアンドゲート回路やオアゲート回路等を用いること等により、基準パルス W に対して $\pm \Delta W$ のパルス幅を増減させることができる。このように ΔW のパルス幅を増減させる構成では、パルス幅設定情報のビット数を少なくすることができるものである。

パルス幅設定情報に従ったパルス幅を持つパルスが発生させる回路は、前記のようなレジスタとカウンタ回路等を利用してデジタル的に発生させるもの他、定電流等を利用して発生されたランプ電圧と、パルス幅設定電圧とを電圧比較回路に入力するもの等種々の実施例形態を採ることができる。上記パルス幅設定電圧は、 D/A 変換回路により、デジタル入力されたパルス幅設定情報

をアナログ電圧に変化させればよい。このように、デジタル情報によるパルス幅設定情報に従ったパルス幅を持つパルス信号を形成する回路は、種々の実施形態を採ることができる。

表示駆動方式は、前記のような $1/5$ バイアス方式の他、パルス幅の変化に応じて明るさを変化するものであれば何であってよい。

また、この発明に係る表示駆動方式及び表示駆動回路に用いられる表示装置は、前記のような液晶表示装置 LCD の他、プラズマディスプレイパネル(PDP)、エレクトロルミネセンス(EL)等であってよい。

この発明は、表示駆動方式とその表示駆動回路として広く利用できるものである。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、パルス幅に応じてコントラストが変化される表示装置に対して、表示データ端子を利用して表示データと時分割的に上

19

記パルス幅を指定する情報を入力する。この構成におては、外部端子数を増加させることなく、階調表示のためのパルス幅を任意に設定することができる。

4. 図面の簡単な説明

第1図は、この発明が適用された液晶表示装置の一実施例を示すブロック図、

第2図は、その動作の一例を説明するためのタイミング図、

第3図は、この発明に係る信号線駆動回路の一実施例を示すブロック図、

第4図は、この発明に係る信号線駆動回路の他の一実施例を示すブロック図、

第5図は、この発明に係る階調設定情報に従って形成される多値駆動信号の一例を示す波形図である。

LCD ・・・液晶表示パネル、 LDV ・・・走査線駆動回路、 $DDV1 \sim DDV3$ ・・・信号線駆動回路、 $COUNT$ ・・・カウンタ回路、 SPR ・・・スタートポイントレジスタ、 EPR ・・・エンドポイ

21

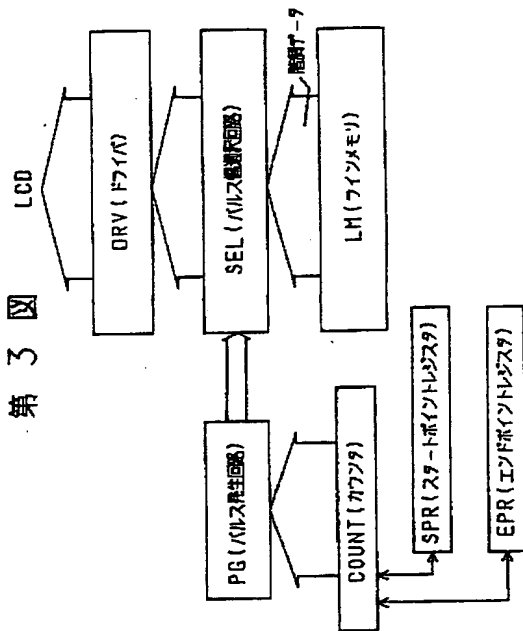
20

ントレジスタ、 LM ・・・ラインメモリ、 PG ・・・パルス発生回路、 SEL ・・・パルス幅選択回路、 DRV ・・・ドライバ(駆動回路)

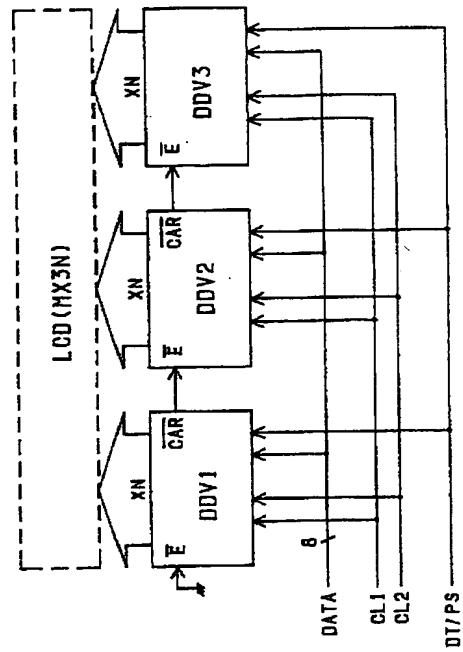
代理人弁理士 徳若 光政

22

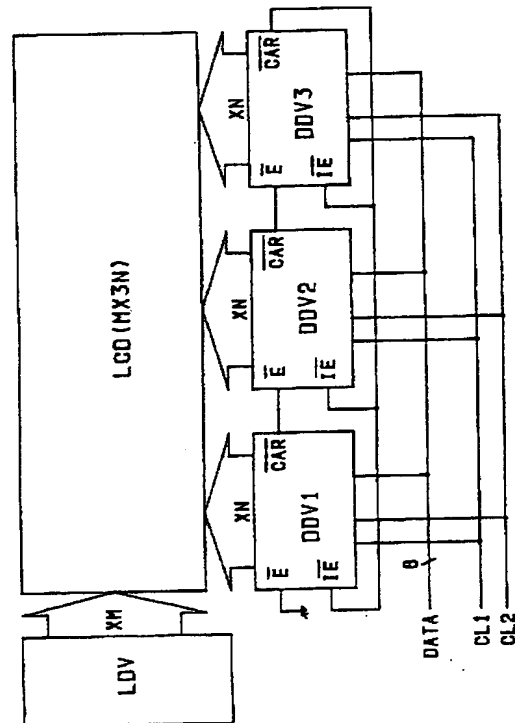
第三



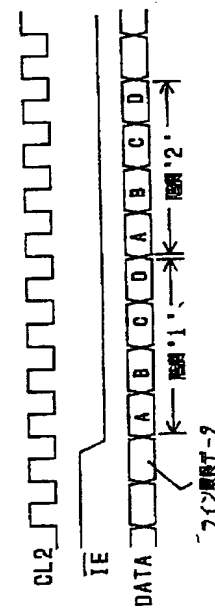
第四圖



一、探



2 無



第 5 図

